

AD

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288583

(43)Date of publication of application : 01.11.1996

(51)Int.Cl.

H01S 3/18

(21)Application number : 07-087872

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.04.1995

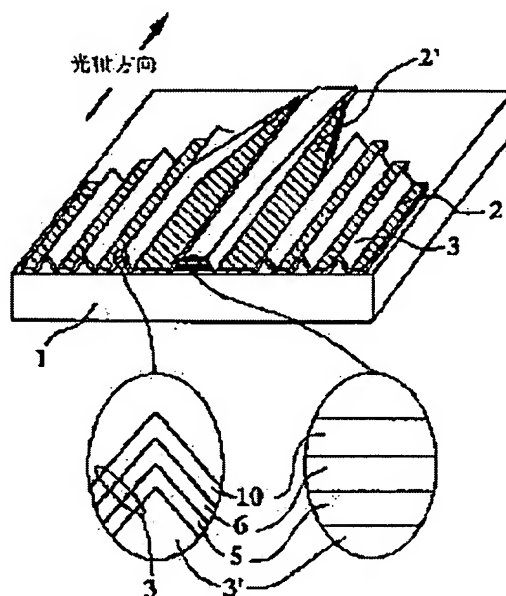
(72)Inventor : SUZUKI MAKOTO
AOKI MASAHIRO
KANETAKE TATSURO
OHIRA MASATERU

(54) SEMICONDUCTOR OPTICAL ELEMENT AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To obtain a high quality high performance optical element or optical integrated element by enhancing the controllability of the compositional ratio of group III element in a mixed crystal semiconductor layer containing In there by growing a core layer having a large critical film thickness.

CONSTITUTION: Using a semiconductor substrate 1 on which an insulating mask 2' having mask width varied partially in the direction of optical axis is formed along with a semiconductor mask 3, a semiconductor layer is formed including a thin clad layer 10 and core layers 5, 6 where the thickness of layer grown on the substrate 1 varies smoothly in the direction of optical axis. With such structure, controllability of the compositional ratio of group II element in a mixed crystal semiconductor layer is enhanced resulting in a semiconductor crystal having large thickness of critical film and a high quality optical integrated element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-288583

(43) 公開日 平成8年(1996)11月1日

(51) Int.Cl.⁶

H 0 1 S 3/18

識別記号

庁内整理番号

F I

H 0 1 S 3/18

技術表示箇所

審査請求 未請求 請求項の数21 O L (全 12 頁)

(21) 出願番号 特願平7-87872

(22) 出願日 平成7年(1995)4月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鈴木 誠

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 青木 雅博

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 金武 達郎

埼玉県比企郡鳩山町赤沼2520番地 株式会
社日立製作所基礎研究所内

(74) 代理人 弁理士 蔭田 利幸

最終頁に続く

(54) 【発明の名称】 半導体光素子およびその製造方法

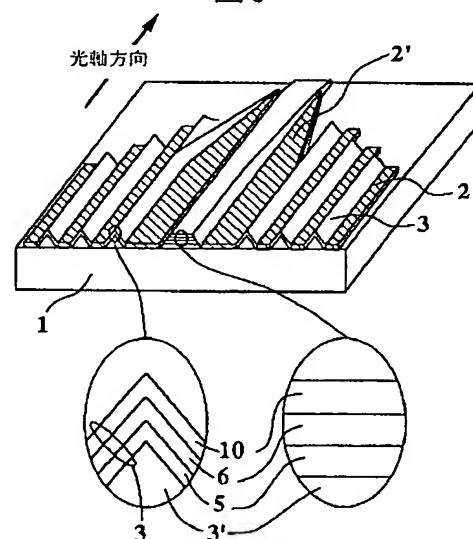
(57) 【要約】

【目的】 Inを含む混晶半導体層におけるI I I族組成比の制御性を向上させて臨界膜厚の大きなコア層を成長し、高品質かつ高機能な光素子若しくは光集積素子を提供する。

【構成】 光軸方向にマスク幅が部分的に変化している絶縁膜マスク (2') および半導体マスク (3) が形成された半導体基板 (1) を用い、基板 (1) 上における成長層の膜厚が、光軸方向に滑らかに変化するコア層 (5) (6) および薄いクラッド層 (10) を含む半導体層を形成する。

【効果】 混晶半導体層におけるI I I族組成比の制御性が向上して、臨界膜厚の大きな半導体結晶が得られ、高品質な光集積素子が得られる。

図6



1... (100) InP 2... SiO₂マスク
3... (111) 面半導体マスク 3'... n-InP層
5... n-InP層 6... 量子井戸層
10... p-InP層

【特許請求の範囲】

【請求項 1】半導体基板上に形成された化合物半導体からなるコア層およびクラッド層を少なくとも具備し、上記コア層は、膜厚若しくは膜厚および組成の両者が、単調かつ滑らかに変化する部分を有し、上記コア層の相対的膜厚変化率の最大値は 2.5 倍以上であり、かつ、上記コア層の上記半導体基板の基板面と垂直な方向における相対的な格子歪率差が、全領域で 0.2 % 以下であることを特徴とする半導体光素子。

【請求項 2】半導体基板上に形成された化合物半導体からなるコア層およびクラッド層を少なくとも具備し、上記コア層は、膜厚若しくは膜厚および組成の両者が、単調かつ滑らかに変化する部分を有し、上記コア層の相対的膜厚変化率の最大値は 2.5 倍以上であり、かつ、上記コア層の上記半導体基板の基板面と垂直な方向における平均的格子歪率の絶対値が、全領域で 0.2 % 以下であることを特徴とする半導体光素子。

【請求項 3】上記コア層は、III 族原子として少なくとも 1n を含む混晶半導体層を有することを特徴とする請求項 1 若しくは 2 に記載の半導体光素子。

【請求項 4】上記半導体素子は、レーザ、光増幅器、光導波路、光変調器、光スイッチ若しくは光検出器であることを特徴とする請求項 1 から 3 のいずれかに記載の半導体光素子。

【請求項 5】上記レーザ、光増幅器、光導波路、光変調器、光スイッチおよび光検出器からなる群から選択された少なくとも 2 種を具備していることを特徴とする請求項 4 に記載の半導体光素子。

【請求項 6】上記コア層が量子井戸構造を含んでいることを特徴とする請求項 4 若しくは 5 に記載の半導体光素子。

【請求項 7】上記半導体光素子は半導体レーザーであり、当該半導体レーザーの活性層における量子井戸層の圧縮歪率が 1.0 以上 1.5 % 以下であることを特徴とする請求項 6 に記載の半導体光素子。

【請求項 8】上記半導体光素子は半導体光増幅器であり、当該半導体光増幅器の活性層における井戸層の引張り歪率が 0.4 以上 0.6 % 以下であることを特徴とする請求項 6 に記載の半導体光素子。

【請求項 9】上記半導体光素子は光増幅器であり、当該光増幅器の活性層はバルクであることを特徴とする請求項 4 若しくは 5 に記載の半導体光素子。

【請求項 10】上記コア層は、少なくとも InGaAsP を含むことを特徴とする請求項 1 から 9 のいずれかに記載の半導体光素子。

【請求項 11】上記クラッド層は、InP からなることを特徴とする請求項 1 から 10 のいずれかに記載の半導体光素子。

【請求項 12】上記半導体基板と上記コア層の間には InP 層が介在していることを特徴とする請求項 1 から 1

1 のいずれかに記載の半導体光素子。

【請求項 13】半導体基板の表面上に、所定の形状を有する絶縁体膜からなる絶縁体マスクを形成する工程と、上記半導体基板の露出された表面上にエピタキシャル成長を行って、上記半導体基板の基板面と平行な面方位を有する第 1 の半導体膜および上記基板表面とは異なる面方位を有する第 2 の半導体膜からなる半導体マスクを形成する工程と、上記第 1 の半導体膜上に、半導体膜からなるコア層およびクラッド層を順次積層して形成する工程を少なくとも含むことを特徴とする半導体光素子の製造方法。

【請求項 14】半導体基板の表面上に所定の形状を有する絶縁体膜からなる絶縁体マスクを形成する工程と、上記半導体基板の露出された表面をエッチングして、上記半導体基板の基板面とは異なる面方位を有する半導体面を形成する工程と、上記基板面と平行な面方位を有する露出された半導体面上に、半導体膜からなるコア層およびクラッド層を順次積層して形成する工程を少なくとも含むことを特徴とする半導体光素子の製造方法。

【請求項 15】上記絶縁体マスクは、マスク幅が異なる複数のマスクからなり、互いに隣り合う上記マスクの間の第 1 の間隙によって露出された上記半導体基板表面の第 1 の領域上に、半導体膜からなるコア層およびクラッド層が順次積層して形成され、上記第 1 の間隙より幅が小さい第 2 の間隙によって露出された上記半導体基板表面の第 2 の領域は半導体マスクとして使用されることを特徴とする請求項 13 若しくは 14 に記載の半導体光素子の製造方法。

【請求項 16】上記絶縁体マスクは、第 1 の絶縁体マスクおよび当該第 1 の絶縁体マスクよりマスク幅が小さい第 2 の絶縁体マスクからなり、当該第 2 の絶縁体マスクをエッチングして除去することによって露出された上記半導体基板の表面上には、半導体層からなるコア層およびクラッド層が順次積層して形成されることを特徴とする請求項 13 から 15 のいずれかに記載の半導体光素子の製造方法。

【請求項 17】上記半導体基板の面方位が (100) 面と平行であることを特徴とする請求項 13 から 16 のいずれかに記載の半導体光素子の製造方法。

【請求項 18】上記半導体マスクの面方位が (n11) 面 (n は 5 以下の整数) であることを特徴とする請求項 13 から 17 のいずれかに記載の半導体光素子の製造方法。

【請求項 19】上記半導体マスクの面方位が (111) B 面であることを特徴とする請求項 18 に記載の半導体光素子の製造方法。

【請求項 20】上記半導体マスクの面方位が (111) A 面であることを特徴とする請求項 18 に記載の半導体光素子の製造方法。

【請求項 21】上記絶縁体マスクは、酸化シリコンおよ

び窒化シリコンからなる群から選ばれた材料からなる膜であることを特徴とする請求項 1 3 から 2 0 のいずれかに記載の半導体光素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体光素子およびその製造方法に関し、詳しくは、単一基板上にコア層とグラッド層が積層して形成された半導体光素子およびこのような半導体光素子を、領域選択成長によって容易に形成することのできる、半導体光素子の製造方法に関する。

【0002】

【従来の技術】半導体レーザ、光変調器、光スイッチ、光検出器もしくは光増幅器など、異種機能を有する半導体光素子を、同一の半導体基板上に集積化して形成する方法として、絶縁膜マスクを用いた領域選択成長技術が知られている。この領域選択成長技術は、半導体基板上に絶縁膜からなるマスクを形成し、半導体基板表面の、マスクされずに露出されている領域上のみに、半導体結晶を気相成長させる方法である。

【0003】半導体光素子を作製するために、光の伝搬方向における絶縁膜マスクの幅や半導体基板面の露出領域の幅を変えて、混晶半導体結晶を気相成長すると、混晶半導体結晶を構成する原子を含む各原料種の、気相中における濃度勾配や成長表面での平均自由工程が、原料ガスの種類によって異なるため、組成および成長層厚が互いに異なる混晶半導体層が、同一の工程で同時に形成される。これによって半導体レーザおよび光変調器など、異種機能を有する半導体光素子が、同一の半導体基板上に、異種光素子間の良好な光結合を行なうように、同一の製造工程で形成できる。

【0004】なお、領域選択成長技術を用いて作製した従来の半導体光素子に関しては、たとえば、1991年電子情報通信学会秋季全国大会講演論文集 C-131 および 1992 年電子情報通信学会春季全国大会講演論文集 C-178 に記載されている。

【0005】

【発明が解決しようとする課題】上記従来技術では、例えば、In と Ga の両者を含む混晶半導体を選択成長する際に、膜厚変化率を大きくするためにマスク幅を大きくすると、それにとまって成長層における In/Ga 比が大きくなる。成長層におけるこのような組成変化によって、臨界膜厚（欠陥が生じない最大膜厚）が小さくなり、同一基板上に形成される異種素子間のバンドギャップエネルギー差が大きい場合は、光学的結晶性ひいては素子特性の劣化をもたらす原因となる。

【0006】本発明の目的は、従来技術における上記問題を解決し、混晶半導体層中における III 族元素の組成を良好に制御して、III 族組成比の面内変化率を効果的に抑制することができ、かつ、臨界膜厚が十分大きい高品質な半導体光素子およびこのような高品質な半導

体光素子を、単一基板上に 1 回の選択成長によって形成することのできる半導体光素子の製造方法を提供することである。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明は、コア層とクラッド層を具備した半導体光素子において、膜厚および組成の少なくとも一方が、単調かつ滑らかに変化する部分を有するコア層を、基板上に形成するものである。上記コア層における最大相対膜厚変化率の最大値は 2.5 倍～10 倍、好ましくは 倍～倍とし、上記コア層の基板面に垂直な方向における相対的な格子歪率の差は、素子内の全領域において 0～0.2% の範囲内である。

【0008】上記膜厚が変化している部分を有するコア層は、少なくとも 1 種類の III 族原子の成長表面への取り込まれ率が、基板とは異なる面方位を有する半導体マスクを基板表面上に形成して、基板上にコア層を成長させ、かつ、上記半導体マスクとともに絶縁膜マスクを使用して、成長を行うことによって形成される。

【0009】

【作用】図 1 (a) に示したように、SiO₂ からなる絶縁膜マスク 2 および表面の面方位が (111) B 面である InP からなる半導体マスク 3 を、(100) InP 基板 1 上に所定部分上にそれぞれ形成する。

【0010】TMIn (トリ・メチル・インジウム)、TMGa (トリ・メチル・ガリウム) および AsH₃ を原料ガスとして使用した、周知の気相成長法によって、上記基板 1 上に InGaAs を成長させると、Ga を含むメチル原料種の成長表面での相対的濃度分布は、ほぼ図 1 (b) に示したようになる。Ga の成長表面への取り込まれ率が、(111) B 面よりも (100) 面の方が高く、また、SiO₂ マスク 2 の表面上には InGaAs が成長しないため、SiO₂ マスク 2 の表面上における上記 Ga を含むメチル原料種の濃度は、半導体マスク 3 上における濃度より高くなり、基板 1 の露出された表面上における濃度が最も低くなる。

【0011】そのため、X-X' 方向において、SiO₂ マスク 2 の表面上から半導体マスク 3 の方向へ、メチル系 Ga 原料種 (TMGa) が、気相拡散や表面拡散によって移動するが、それよりも多量のメチル系 Ga 原料種が逆向き、つまり、SiO₂ マスク 2 の表面上から、互いに隣接する SiO₂ マスク 2 間の目空き領域の、露出された基板 1 の表面上へ拡散し移動する。

【0012】そのため、SiO₂ マスク 2 のみを用いた従来の選択成長において起こった、InGaAs 選択成長層における III 族元素の組成比 In/Ga の増大は効果的に抑制されて、組成変化の少ない成長層が得られる。従って、SiO₂ マスク 2 の幅に応じて半導体マスク 3 の幅を適切に設定することによって、InGaAs 成長層における III 族組成は、基板 1 の表面上でほぼ

一定になる。

【0013】また、例えば、 InGaAsP や InGaAlAs など、4元混晶材料に対しても、同様の方法によって組成の変動を有効に抑制することができる。例えば InP の(111)A面を半導体マスクとして用いた場合でも、 In/Ga 比の増大抑制の効果はやや低下するが、図1(b)に示した効果と類似した効果が認められた。

【0014】比較のため、図2(a)に示した、 SiO_2 マスクのみを用いた従来の場合の基板1と SiO_2 マスク2の表面上における、メチル系Ga原料種の相対的濃度分布を図2(b)に示した。図2(b)から明らかなように、 SiO_2 マスク2の上におけるメチル系Ga原料種の濃度は、基板1の露出された表面よりはるかに高いため、 $X-X'$ 方向において、 SiO_2 マスク2の表面上から基板1の露出された部分方向へ、メチル系Ga原料種が気相拡散や表面拡散によって移動する。

【0015】メチル系In原料種においても、メチル系Ga原料種の場合とほぼ相似形の表面濃度分布が生ずるが、In原料種は相対的に不安定な化学的性質を有しているため、互いに隣接する SiO_2 マスク2の間における InGaAs 選択成長層では、 In/Ga 比の増加が生ずる。

【0016】本発明および SiO_2 マスクのみを用いた従来の場合について、選択成長した InGaAs の規格化成長速度と歪率の、マスク幅依存性を図3に示した。図3から明らかなように、 SiO_2 マスクのみを用いた従来の場合、 SiO_2 マスクの幅の増大にともなって、規格化成長速度は増大するが、同時に歪率も増大してしまう。一方、 SiO_2 マスク2と半導体マスク3を併用した本発明の場合は、 SiO_2 マスク幅が等しい場合における規格化成長速度は、従来よりも若干低下するが、歪率の変化は上記従来の場合よりはるかに少なく、規格化成長速度が5以上の場合においても、0~0.2%であった。

【0017】したがって、本発明において、規格化成長速度が約5と十分大きい場合でも、比較的大きな臨界膜厚を有する混晶半導体コア層を選択成長でき、その結果、高品質な半導体光素子や半導体光集積素子の作製が可能になった。

【0018】

【実施例】以下、本発明の実施例を図面を用いて説明する。

<実施例1>図4に示したように、(100) $n\text{-InP}$ 基板1の平坦な表面上に、 SiO_2 からなるマスク2、2'を形成して、パターンニング基板を作製した。

【0019】マスク2、2'のストライプの方向は[011]に平行とした。目空き幅 b' は $10\mu\text{m}$ 、マスク2'の幅 a' は、レーザ用の半導体コア層が形成される目空き領域の両端で $120\mu\text{m}$ とし、光導波路用の半導

体コア層が形成される目空き領域の両端では $120\mu\text{m}$ から $0\mu\text{m}$ までテーパ状に漸減させた。

【0020】目空き幅 b とマスク幅 a の合計は、レーザ用の半導体コア層が形成される目空き領域の両端で $200\mu\text{m}$ とし、光導波路用の半導体コア層が形成される目空き領域の両端では $200\mu\text{m}$ から $0\mu\text{m}$ まで漸減させた。

【0021】次に、 TMIIn (トリメチルインジウム)、 PH_3 および Si_2H_6 をソース・ガスとして用いる周知の気相成長法を用いて、 $n\text{-InP}$ を成長させ、図5に示したように、表面の面方位が(111)B面である InP からなる半導体マスク31を、目空き幅 b が $1\mu\text{m}$ である目空き領域上に形成した。この際、目空き幅 b' が $10\mu\text{m}$ である目空き領域上のみ、表面が平坦な $n\text{-InP}$ 膜31が形成され、この膜の表面の面方位は(100)面であった。

【0022】周知の有機金属気相成長法を用いて、コア層である $n\text{-InGaAsP}$ 層5、 $\text{InGaAsP}/\text{InGaAsP}$ 量子井戸層6および薄い $p\text{-InP}$ クラッド層10を順次積層して形成し、図6に示す構造を形成した。ただし、上記 InGaAsP 量子井戸層11のみに1.3%の圧縮歪を加えた。図6に示したように、表面方位が(111)B面である上記半導体マスク3上における積層膜の成長膜厚は、表面面方位が(100)面である上記 $n\text{-InP}$ 膜3'上における成長膜厚より十分小さかった。

【0023】次に、上記 SiO_2 からなるマスク2、2'を、周知のエッチング方法を用いて除去した後、この集積導波路をメサ形状にエッチングして電流狭窄層16を形成した。さらに、 $p\text{-InP}$ クラッド層10、 $p\text{-コンタクト}$ 層17を形成した後、 p 側電極18および n 側電極19を周知の方法を用いて形成して、図8に示す低損失導波路集積化分布帰還型半導体レーザを形成した。

【0024】図8に示したように、幅 $120\mu\text{m}$ の SiO_2 膜からなる絶縁体マスク2'に挟まれた幅が $10\mu\text{m}$ と均一な目空き領域上に形成された量子井戸層6の膜厚はほぼ均一であり、この部分における発光波長は、図7から明らかなように1.30 μm であった。一方、 SiO_2 膜2'の、幅が $120\mu\text{m}$ から $0\mu\text{m}$ 幅までテーパ状に漸減されている部分に挟まれた、目空き領域上に形成された量子井戸層6は、光軸に沿ってテーパ状に変る膜厚分布を有し、発光波長は約1.30 μm ~1.00 μm まで連続的に変化した。

【0025】 SiO_2 膜からなる絶縁体マスク2'の幅が、 $0\mu\text{m}$ のときに発光波長が長くなるのは、Ga原料種の表面濃度が(100)面より相対的に高い表面が(111)B面の半導体マスク3の影響が、平坦部ではほとんど無いためである。また、上記のように、コア層全体の基板1に対する平均的格子歪率は、0.2%以下

であり、臨界膜厚が十分厚いコア層が得られた。従って、基板に対する格子定数の差に起因する転位等は生じにくく、低い値特性が得られた。さらに、導波路部端面のビーム径が拡大し、放射光径が小さくなるので、フラット端面光ファイバとの光結合率を容易に高くすることができた。

【0026】＜実施例2＞(100) n-InP基板1の表面上に、SiO₂からなる絶縁体マスク2およびn-InPからなる半導体マスク3を形成し、さらに回折格子4を部分的に形成して図9に示すパタニング基板を形成した。上記半導体マスク3は、実施例1と同様の方法によって形成した。マスクストライプの方向は[011]に平行であり、半導体マスク3の表面の面方位は(111) B面である。SiO₂マスク2の幅aは90 μm、半導体マスク3の幅a'および目空き幅bは、それぞれ200 μmおよび10 μmとした。

【0027】次に、図11に示したように、上記パタニング基板上に、コア層であるn-InGaAsP層5およびInGaAs/InGaAsP量子井戸層7および薄いp-InPクラッド層10を、周知の有機金属気相成長法を用いて順次積層して成長させた。InGaAs井戸層12のみに1.3%の圧縮歪を加えた。

【0028】上記量子井戸層7を成長したときの、発光波長のSiO₂マスク2の幅依存性を図10に示した。SiO₂マスク2の幅aは、上記のように90 μmであるので、図10から明らかなように、この場合の、SiO₂マスク2の間の目空き領域上に形成された量子井戸層7の発光波長は1.55 μmであった。

【0029】一方、マスクが形成されていない平坦部上に形成された量子井戸層7の発光波長は約1.30 μmであった。このSiO₂マスク2の幅が0 μmの時に発光波長が長くなるのは、Ga原料種の表面濃度が(100)面より相対的に高い(111) B面の半導体マスク3の影響が平坦部ではほとんど無いためである。

【0030】以下、実施例1と同様に処理して、図11に示す低損失導波路集積化分布帰還型半導体レーザを形成した。図11に示したように、コア層5および7の膜厚はレーザ部の方が導波路部よりも大きい。しかし、先に説明したように、コア層5および7の格子歪率変化は、レーザ部および光導波路部間においていずれも0.2%以下であり、さらに、コア層全体の基板1に対する平均的格子歪率も0.2%以下であった。

【0031】すなわち、絶縁膜マスクのみを利用して選択成長を行った場合に比べて、十分大きな臨界膜厚を有する混晶半導体コア層を成長することができ、転位等による光学的結晶性の劣化は生じにくい。その結果、低い値特性を有する高品質な低損失導波路集積化分布帰還型半導体レーザが作製できた。なお、マスク2、2'として、本実施例では酸化シリコン膜を用いたが、酸化シリコンの代わりに窒化シリコン膜を用いることができ

る。

【0032】＜実施例3＞まず、実施例1で使用したものと同一のパタニング基板(図4、5)を形成した。次に、上記パタニング基板上にn-InGaAsPコア層5およびInGaAlAs/InGaAlAs量子井戸層8、および薄いp-InPクラッド層10を、周知の有機金属気相成長法を用いて順次積層して成長させた。InGaAlAs井戸層13にのみ、1.3%の圧縮歪を加えた。

10 【0033】SiO₂マスク2および半導体マスク3を除去した後、p-InP層10およびp-コンタクト層17を成長し、さらにp側電極18とn側電極19を形成した。得られた集積導波路をメサ形状にエッチングした後、SiO₂保護膜20で覆い、図13に示す低損失導波路集積化半導体レーザを形成した。上記幅120 μmのSiO₂マスク2'に挟まれた目空き領域上に形成された量子井戸層8の膜厚は図13に示したように、均一であった。上記量子井戸層8を成長したときの発光波長のSiO₂マスク2'の幅依存性を示した図12から明らかなように、発光波長は、1.30 μmであった。

【0034】一方、120 μmから0 μmまで、幅がテーパ状に漸減する上記SiO₂マスク2'に挟まれた目空き領域上に形成された量子井戸層8は、光軸に沿ってテーパ上の膜厚分布を有しており、そこでの発光波長は約1.30 μm~1.00 μmまで連続的に変化した。本実施例においても、実施例1と同様に、コア層全体の基板1に対する平均的格子歪率は、0.2%以下に抑制できた。すなわち、成長層と基板との格子定数差に起因する転位等が殆ど存在しない半導体コア層が得られ、その結果、本実施例の集積化素子では、極めて低い値特性が得られた。さらに、導波路部端面のビーム径が拡大し、放射光径が小さくなるので、フラット端面光ファイバとの光結合率を容易に高くできた。

【0035】＜実施例4＞図14に示したように、平坦な(100) n-InP基板1の表面上に、SiO₂マスク2'および半導体マスク3を形成してパタニング基板を形成した。マスクストライプの方向は[011]に平行であり、半導体マスク3の表面の面方位は(111) B面、目空き幅b'は10 μmとした。

40 【0036】SiO₂マスク2'の幅は、光軸方向に膜厚が一定である半導体コア層が形成される目空き領域の両端で120 μmとし、光軸方向に膜厚がテーパ状に順次変化する半導体コア層が形成される目空き領域の両端では、120 μmから0 μmまでテーパ状に漸減させた。半導体マスク3の幅は、光軸方向に膜厚が一定の半導体コア層が形成される目空き領域の両端で200 μmとし、光軸方向に膜厚がテーパ上に変化する半導体コア層が形成される目空き領域の両端では200 μmから0 μmまで漸減させた。

【0037】次に、上記パタニング基板上にn-InGaAsPコア層5およびInGaAsPバルク活性層9、および薄いp-InPクラッド層10を、周知の有機金属気相成長法を用いて、順次積層して成長させた。以下、実施例3と同様に処理し、さらに、劈開端面における反射率が約0.1%である低反射膜21を形成して、図15に示す異種導波路集積化光増幅器を形成した。

【0038】光軸方向における膜厚が一定であるInGaAsPバルク活性層9の発光波長は約1.30μmであり、光軸方向において膜厚がテーパー状に変化する活性層9の発光波長は、約1.29μm~1.31μmの範囲内ではほぼ一定であった。上記実施例1と同様に、本実施例においても、成長層と基板との格子定数差に起因する転位などがほとんど存在しない、高品質な半導体コア層が得られた。本実施例で得られた光増幅器は、偏波無依存特性を有し、しかも、導波路部端面のビーム径が拡大し、放射光径が小さくなるので、フラット端面光ファイバとの光結合率を容易に高くすることができた。

【0039】<実施例5>まず、図14に示したように、上記実施例4で使用したと同一のパタニング基板を形成した。次に、上記パタニング基板上にn-InGaAsPコア層5、InGaAsP/InGaAsP量子井戸層7、および薄いp-InPクラッド層10を、周知の有機金属気相成長法を用いて順次積層して成長した。InGaAsP井戸層11のみに、0.5%の引っ張り歪を加えた。以下、実施例4と同様に処理して、図16に示す異種導波路集積化光増幅器を形成した。

【0040】図7から明らかなように、光軸方向における膜厚が一定である量子井戸層6の発光波長は、約1.30μmであり、また、光軸方向に膜厚がテーパー状に変化する量子井戸層6における発光波長は約1.30μm~1.00μmまで連続的に変化した。本実施例によれば、上記実施例1と同様に、成長層と基板との格子定数差に起因する転位などが、ほとんど存在しない高品質な半導体コア層が得られた。本実施例による光増幅器は、約1.00μm~1.30μmの範囲にわたる波長の信号光を増幅できた。また、偏波無依存特性を有し、さらに、導波路部端面のビーム径が拡大し、放射光径が小さくなるので、フラット端面光ファイバとの光結合率を容易に高くできた。

【0041】<実施例6>(100)n-InP基板1の平坦な表面上に、SiO₂マスク2'と半導体マスク3を形成して、図17に示すパターニング基板を形成した。マスクストライプの方向は[011]に平行であり、半導体マスク3の表面の面方位は(111)B面である。目空き幅bは10μmとした。SiO₂マスク2'の幅は、120μmから0μmまでテーパー状に変化し、半導体マスク3の幅は200μmから0μmまでテ

ーパ状に変化させた。

【0042】次に、上記パタニング基板上に、n-InGaAsPコア層5およびInGaAsP/InGaAsP量子井戸層6、および薄いp-InPクラッド層10を周知の有機金属気相成長法を用いて、順次積層して形成した。InGaAsP井戸層11のみに、0.5%の引っ張り歪を加えた。以下、上記実施例4と同様に処理して、図18に示す光増幅器を形成した。

【0043】図7に示したように、量子井戸層6の発光波長は、素子全体で約1.00μm~1.30μmまで連続的に変化した。上記実施例1と同様に、本実施例においても、成長層と基板との格子定数差に起因する転位等が殆ど存在しない高品質な半導体結晶が得られた。本実施例による光増幅器は、波長範囲が約1.00μm~1.30μmである信号光を増幅できた。また、偏波無依存特性および高出力特性を有すると共に、片側の劈開端面ではビーム径が拡大され、放射光径が小さくなるので、フラット端面光ファイバとの光結合率を容易に高くできる。

【0044】<実施例7>図19(i)に示したように、(100)n-InP基板1の平坦な表面上にSiO₂膜を全面に形成した後、周知のホトエッチング法を用いて所定部分を除去し、SiO₂マスク2を有するパタニング基板を形成した。マスクストライプの方向は[011]と平行であり、マスク幅aは1μm、目空き幅bは3μm、a'は約200μmとした。

【0045】臭素濃度が1%であるメタノール溶液を使用して基板1の露出された部分をエッチングし、図19(ii)に示したように、(111)A面22を形成した。この(111)A面22は、半導体マスクとして利用される。

【0046】幅が最も広いSiO₂マスク2の中央部を上記方法によって除去し、図19(iii)に示すパターニング基板を形成した。マスク幅a'は120μm、目空き幅b'は10μmである。幅120μmのSiO₂マスク2に挟まれた半導体基板1上には、同一基板上のSiO₂マスク2から十分離れた個所とほぼ等しいI-III族組成比の混晶半導体が成長する。その結果、格子不整合に起因する欠陥が少ない高品質な半導体コア層が形成できる。本実施例において、エッチングによって形成された半導体マスク22は、上記実施例1~6において、結晶成長によって形成された半導体マスクと類似した効果が得られるので、半導体光素子と同様に使用できる。

【0047】

【発明の効果】上記説明から明らかなように、本発明によれば、同一基板上に絶縁膜マスクと共に半導体マスクを有するパタニング基板を用い、マスク間の目空き領域上に半導体コア層が選択的に形成される。本発明によれば、上記絶縁膜マスクおよび半導体マスクの幅を、それ

ぞれ最適に設定することにより、同一面内の In を含む混晶半導体層の III 族組成変化を低減することができる。従って、臨界膜厚の大きな半導体結晶が得られ、その結果、高品質な半導体光集積素子が得られる。

【図面の簡単な説明】

- 【図 1】本発明の作用を説明するための図、
 【図 2】本発明の作用を説明するための図、
 【図 3】成長速度および歪率の SiO₂ マスク膜厚依存性を示す図、
 【図 4】本発明の第 1 および第 3 の実施例を説明するための図、
 【図 5】本発明の第 1 および第 3 の実施例を説明するための図、
 【図 6】本発明の第 1 の実施例を説明するための図、
 【図 7】量子井戸層の発光波長の SiO₂ マスク幅依存性を示す図、
 【図 8】本発明の第 1 の実施例において形成された半導体光集積素子の斜視図、
 【図 9】本発明の第 2 の実施例において用いたパタニング基板を示す斜視図、
 【図 10】量子井戸層の発光波長の SiO₂ マスク膜幅依存性を示す図、
 【図 11】本発明の第 2 の実施例において形成された半導体光集積素子を示す斜視図、
 【図 12】量子井戸層の発光波長の SiO₂ マスク幅依存性を示す図、
 【図 13】本発明の第 3 の実施例において形成された半導体光集積素子の斜視図、

【図 14】本発明の第 4 および第 5 の実施例におけるパタニング基板の斜視図、

【図 15】本発明の第 4 の実施例によって形成された半導体光集積素子の斜視図、

【図 16】本発明の第 5 の実施例によって形成された半導体光集積素子の斜視図、

【図 17】本発明の第 6 の実施例におけるパタニング基板の斜視図、

【図 18】本発明の第 6 の実施例において形成された半導体光素子の斜視図、

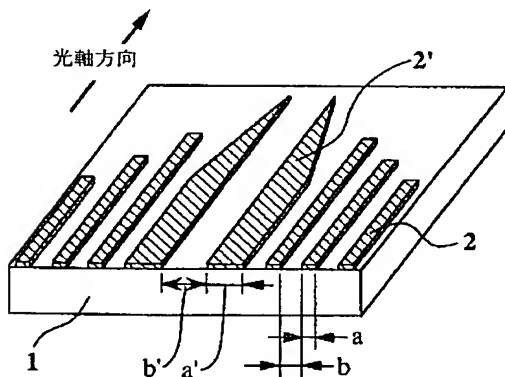
【図 19】本発明の第 7 の実施例を説明するための工程図。

【符号の説明】

- 1……(100) n-InP、2……SiO₂ マスク、3……(111) B 面半導体マスク、3'……n-InP 層、4……回折格子、5……n-InGaAsP 層、6……InGaAsP/InGaAsP 量子井戸層、7……InGaAs/InGaAsP 量子井戸層、8……InGaAlAs/InGaAlAs 量子井戸層、9……InGaAsP パルク活性層、10……p-InP 層、11……InGaAsP 井戸層、12……InGaAs 井戸層、13……InGaAlAs 井戸層、14……InGaAsP 障壁層、15……InGaAlAs 障壁層、16……電流狭窄層、17……p'-コンタクト層、18……p 側電極、19……n 側電極、20……SiO₂ 保護膜、21……低反射膜、22……半導体マスク。

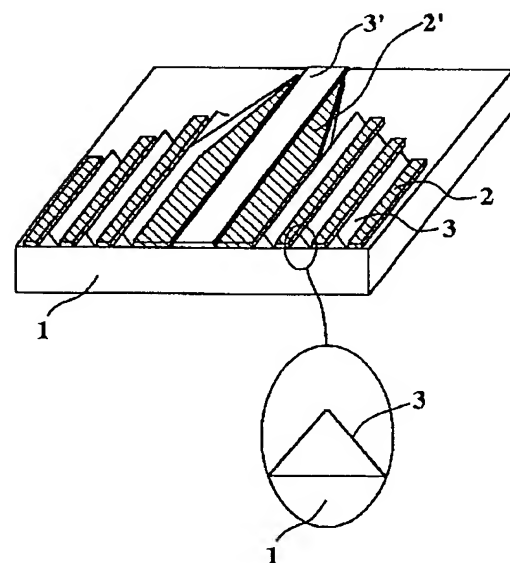
【図 4】

図 4

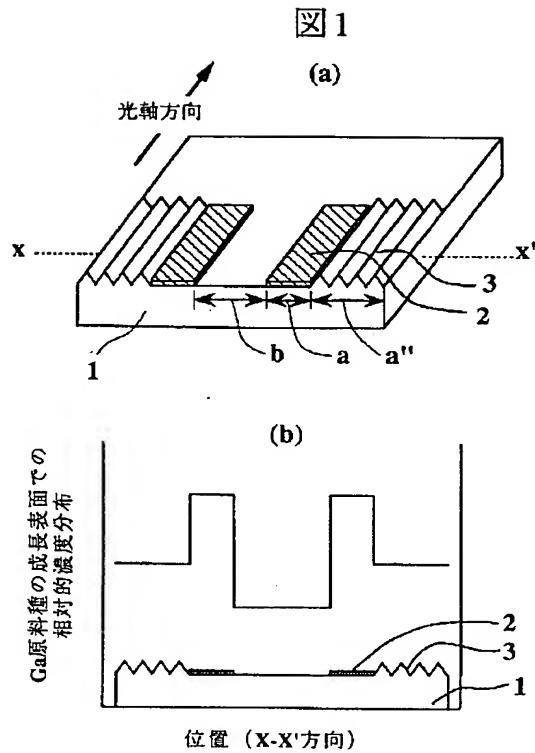


【図 5】

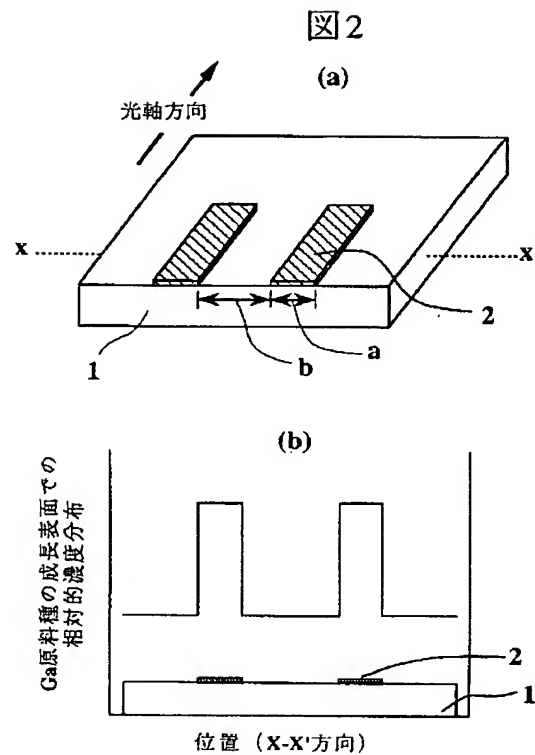
図 5



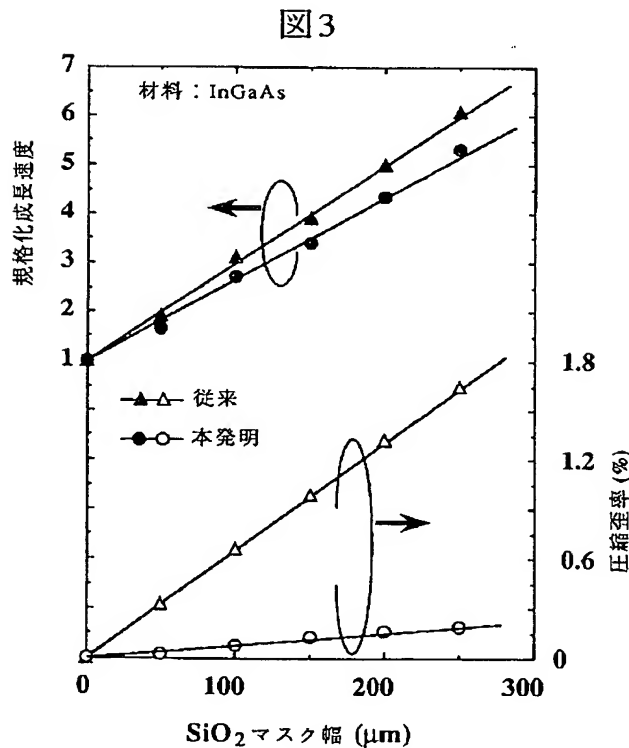
【図 1】



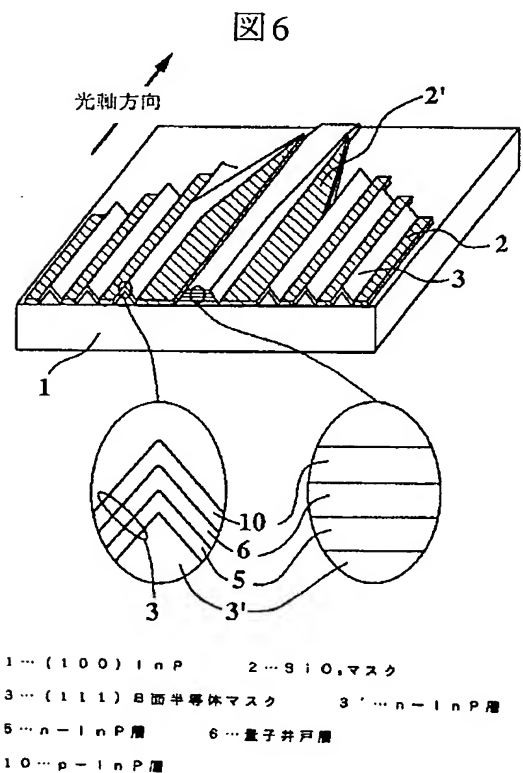
【図 2】



【図 3】

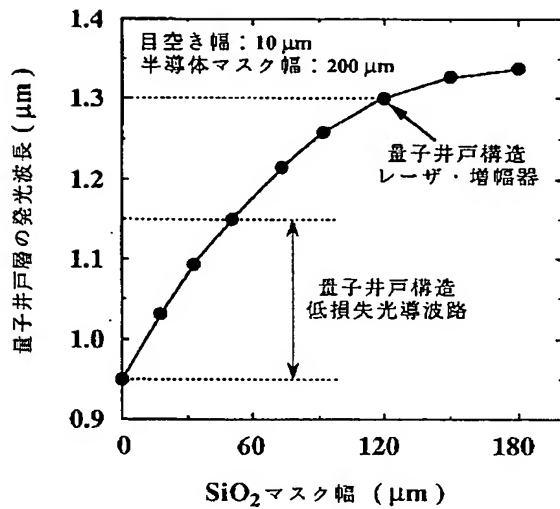


【図 6】



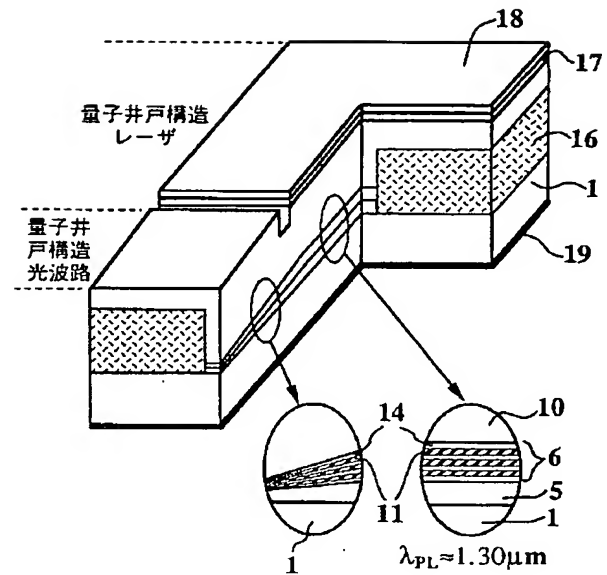
【図 7】

図 7



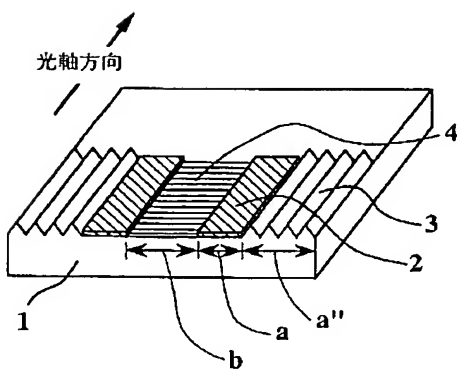
【図 8】

図 8



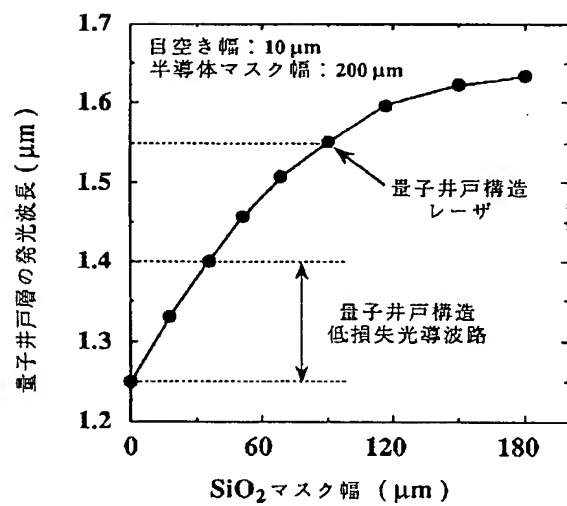
【図 9】

図 9



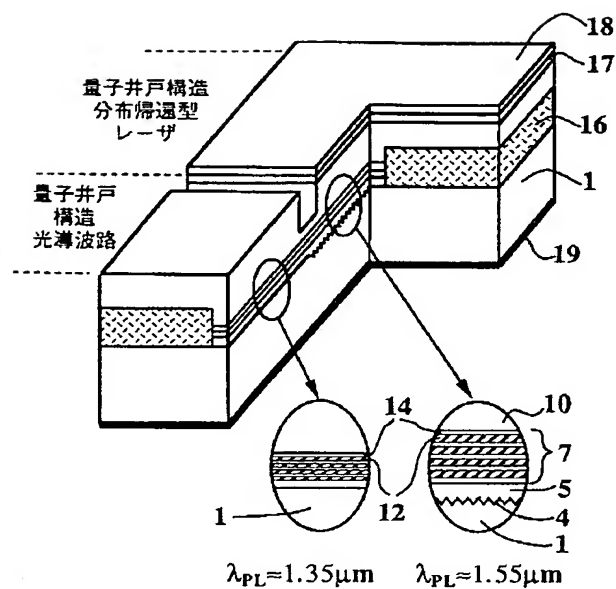
【図 10】

図 10



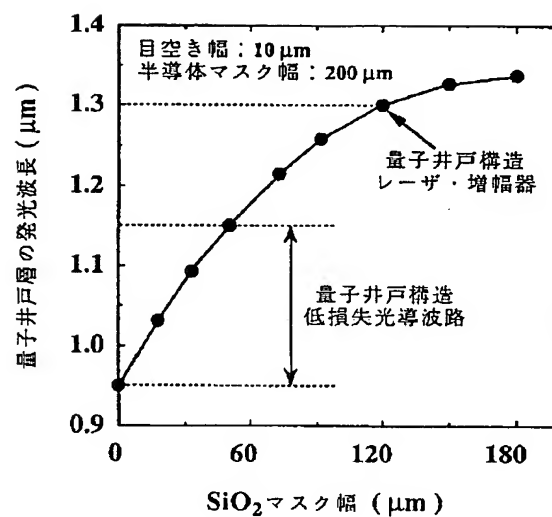
【图 1 1】

图 11



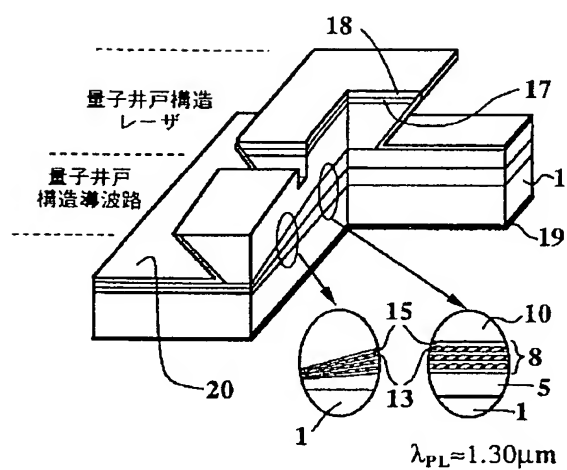
【図 1 2】

图 12



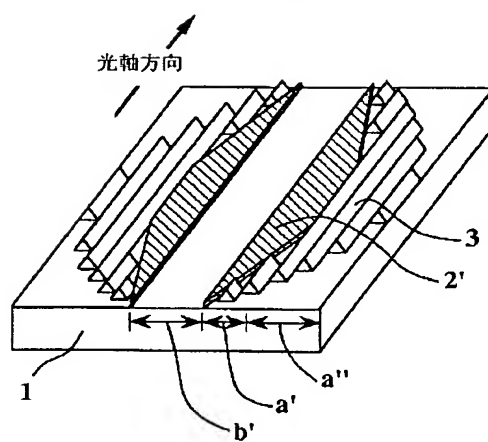
【図 13】

图 13



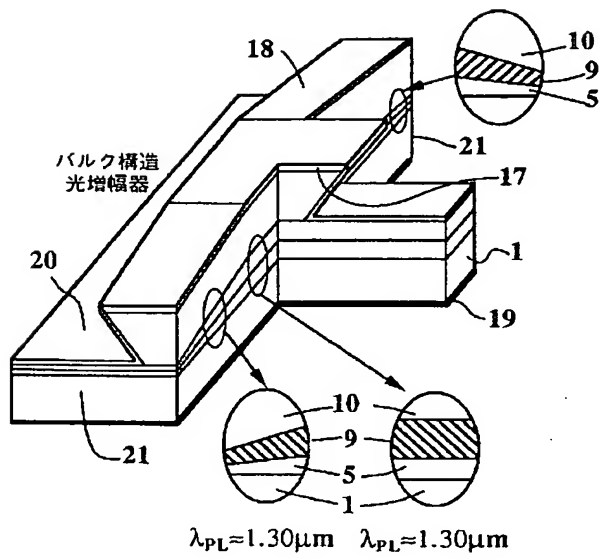
【图 14】

图 14



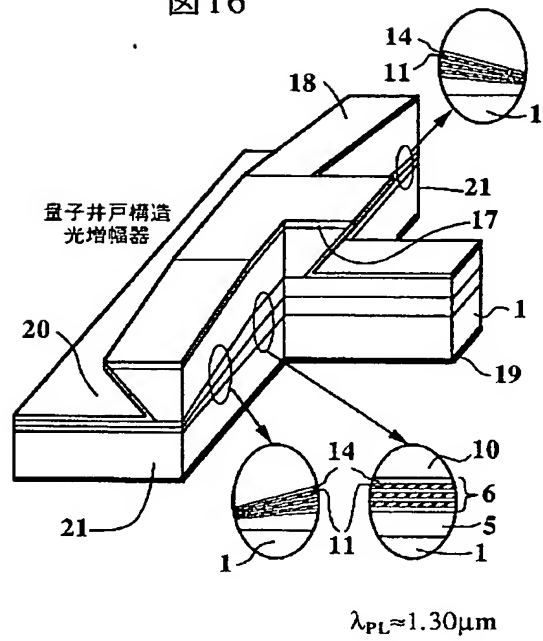
【図 15】

図 15



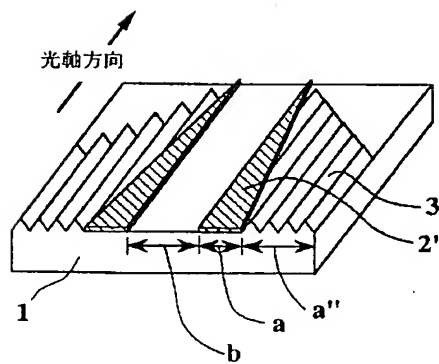
【図 16】

図 16



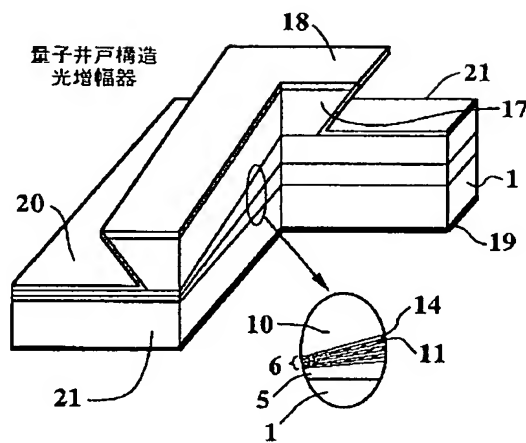
【図 17】

図 17



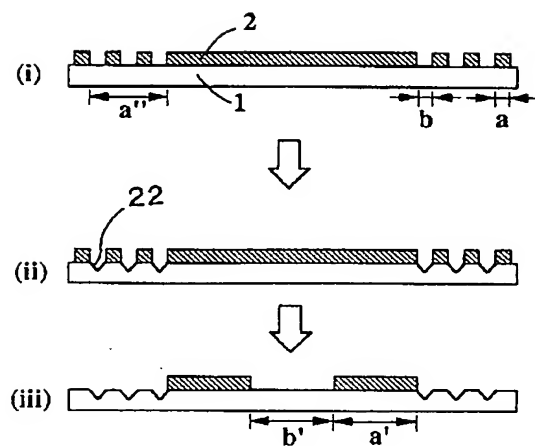
【図 18】

図 18



【図 19】

図 19



フロントページの続き

(72)発明者 大平 昌輝
東京都国分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内